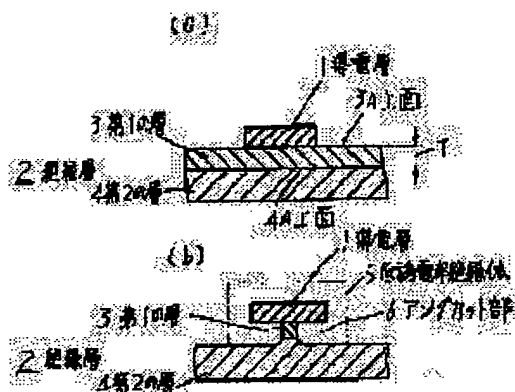


(11)Publication number : 05-235491
(43)Date of publication of application : 10.09.1993

(71)Applicant : FUJITSU LTD
(72)Inventor : TAKESHITA SHUJI

CONSTITUTION: An insulating layer 2 is formed by a first layer 3 composed of capton polyimide materials having high etching rate, and a second layer 4 composed of polyimide materials having low thermal expansion and low etching rate. By etching the insulating layer, the upper surface 3A of the first layer 3, on which the conductive layer 1 is arranged, is easily dissolved. In this way, an under cut section 6 having specified size between the conductive layer 1 and the upper surface 3A of the first layer 3 is formed certainly. Therefore, it is possible to expand the area covering the surrounding area of the conductive layer 1 with a low dielectric constant insulating substance 5. Moreover, it is possible to lower the dielectric constant at the conductive layer 1, and to realize the increase of signal transmitting rate.



(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K	1/02	A 7047-4E		
	1/03	H 7011-4E		
	3/00	Z 6921-4E		

審査請求 未請求 請求項の数 6(全 6 頁)

(21)出願番号 特願平4-31239

(22)出願日 平成4年(1992)2月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 竹下 修二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

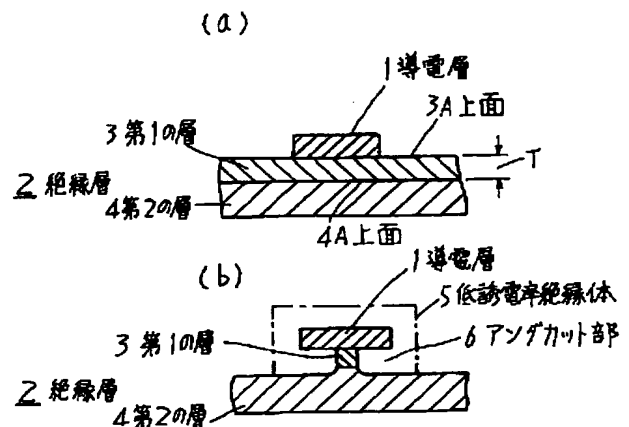
(54)【発明の名称】 薄膜回路基板とその製造方法

(57)【要約】

【目的】 絶縁層に配設された導電層の周囲に低誘電率絶縁体によって覆うように形成される薄膜回路基板とその製造方法に関し、導電層と絶縁層との間に所定のサイズのアンダーカット部の形成が確実に行われるようにすることを目的とする。

【構成】 導電層が配設される絶縁層をエッチングレイトの異なる第1の層と、第2の層とによって形成し、該第2の層の上面に該第1の層が積層され、所定の厚みに形成された該第1の層の上面に該導電層が積層される該絶縁層をエッチング処理することで該導電層と、該絶縁層との間に該導電層の周囲を低誘電率絶縁体によって覆うことが可能なアンダーカット部の形成を行うように構成する。

本第1の発明の原理説明図



【特許請求の範囲】

【請求項1】 導電層(1) が配設される絶縁層(2) をエッチングレイトの異なる第1の層(3) と、第2の層(4) とによって形成し、該第2の層(4) の上面(4A)に該第1の層(3) が積層され、所定の厚み(T) に形成された該第1の層(3) の上面(3A)に該導電層(1) が積層されることを特徴とする薄膜回路基板。

【請求項2】 請求項1記載の前記第1の層(3) がエッチングレイトの高いカプトン系ポリイミド材によって形成され、前記第2の層(4) がエッチングレイトの低い低熱膨張のポリイミド材によって形成されることを特徴とする薄膜回路基板。

【請求項3】 請求項1記載の前記絶縁層(2) をエッチング処理することで前記導電層(1) と、該絶縁層(2) との間に該導電層(1) の周囲を低誘電率絶縁体(5) によって覆うことが可能なアンダーカット部(6) の形成を行うことを特徴とする薄膜回路基板の製造方法。

【請求項4】 導電層(1) が上面(7A)に配設される絶縁層(7) に耐熱性有し、かつ、エッチング液に溶け難い所定の厚みのバリヤ層(8) が形成され、該バリヤ層(8) が該上面(7A)から所定距離(S) となる箇所に位置されることを特徴とする薄膜回路基板。

【請求項5】 請求項4記載の前記バリヤ層(8) が二酸化ケイ素 SiO_2 によって形成されることを特徴とする薄膜回路基板。

【請求項6】 請求項4記載の前記該絶縁層(7) をエッチング処理することで前記導電層(1) と、該絶縁層(7) との間に該導電層(1) の周囲を低誘電率絶縁体(5) によって覆うことが可能なアンダーカット部(6) の形成を行うことを特徴とする薄膜回路基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁層に配設された導電層の周囲に低誘電率絶縁体によって覆うように形成される薄膜回路基板とその製造方法に関する。

【0002】近年、大型コンピュータなどの電子装置の高速化に伴い、これらの電子装置に使用される回路基板に於ける導電層の信号伝播速度を高速にすることが行われている。

【0003】このような回路基板に於ける導電層の信号伝播速度は、その導電層を保持する絶縁層の誘電率の影響を受けるので、信号伝播速度の高速化を図るためには絶縁層を誘電率の低い絶縁体によって形成されることが望ましい。

【0004】

【従来の技術】従来は図5の従来の説明図に示すように構成されていた。図5の(a)は側面断面図、(b1)～(b5)は製造工程図である。

【0005】図5の(a)に示すように、薄膜回路基板9は、グラウンドパターン12と13との間に形成された絶縁層

10,11に信号を伝播する薄膜による導電層1を配設することで形成され、また、導電層1の外周には低誘電率絶縁体5を設けることで導電層1の誘電率を極力小さくすることが行われていた。

【0006】また、このような薄膜回路基板9を形成する場合は、図5の(b1)に示すように、先づ、グラウンドパターン12に積層されたポリイミド材より成る絶縁層10の上層10Aに所定のパターンニングされた、例えば、厚み数 μm のアルミまたは銅などの良導電材より成る導電層1を形成し、絶縁層10をエッチング処理することで、図5の(b2)に示すように、導電層1と絶縁層10の上面10Aとの間に幅H1、深さH2のアンダーカット部6の形成を行う。

【0007】次に、図5の(b3)に示すように、導電層1の周囲にテフロンなどの低誘電率絶縁体5のコーティングを行い、低誘電率絶縁体5のコーティングが行われた導電層1を図5の(b4)に示すように、ポリイミド材の絶縁層11によって覆うよう積層を行う。

【0008】最後に、図5の(b5)に示すように、絶縁層11の上面11Aにグラウンドパターン13の形成を行うことで薄膜回路基板9の形成が行われていた。したがって、導電層1の周囲をほぼ低誘電率絶縁体5によって覆うことで、導電層1の誘電率を極力小さくすることが行われていた。

【0009】

【発明が解決しようとする課題】しかし、このような絶縁層10をエッチング処理することで導電層1と絶縁層10の上面10Aとの間に形成するアンダーカット部6は、実際には、図5の(b2)に示す深さH2の方向はエッチング処理の時間を長くすることで大きくすることが可能であるが、幅H1の方向は、限界があり、エッチング処理の時間を長くしても大きくすることはできない。

【0010】したがって、単にエッチング処理することでは、幅H1の値が小さくなり、低誘電率絶縁体5によって導電層1を覆う面積が少なくなり、実際には、導電層1の誘電率の低下が減少し、信号伝播速度の高速化が減少する問題を有していた。

【0011】そこで、本発明では、導電層と絶縁層との間に所定のサイズのアンダーカット部の形成を確実に行うようにすることを目的とする。

【0012】

【課題を解決するための手段】図1は本第1の発明の原理説明図であり、図2は本第2の発明の原理説明図であり、図1の(a)(b)に示すように、導電層1が配設される絶縁層2をエッチングレイトの異なる第1の層3と、第2の層4とによって形成し、該第2の層4の上面4Aに該第1の層3が積層され、所定の厚みTに形成された該第1の層3の上面3Aに該導電層1が積層される該絶縁層2をエッチング処理することで該導電層1と、該絶縁層2との間に該導電層1の周囲を低誘電率絶縁体5によって

覆うことが可能なアンダーカット部6の形成を行うように、また、前記第1の層3がエッチングレイトの高いカプトン系ポリイミド材によって形成され、前記第2の層4が該エッチングレイトの低い低熱膨張のポリイミド材によって形成されるように、または、図2の(a)(b)に示すように、導電層1が上面7Aに配設される絶縁層7に耐熱性有し、かつ、エッチング液に溶け難いバリア層8を形成し、該バリア層8を該上面7Aから所定距離Sとなる箇所位置させ、該絶縁層7をエッチング処理することで該導電層1と、該絶縁層7との間に該導電層1の周囲を低誘電率絶縁体5によって覆うことが可能なアンダーカット部6の形成を行うように、また、前記バリア層8が二酸化ケイ素 SiO_2 によって形成されるように構成する。

【0013】このように構成することによって前述の課題は解決される。

【0014】

【作用】即ち、第1の発明では、絶縁層2をエッチングレイトの高いカプトン系ポリイミド材より成る第1の層3と、エッチングレイトの低い低熱膨張のポリイミド材より成る第2の層4とによって形成し、エッチング処理することで導電層1を配設した第1層3の上面3Aの溶解が容易に行われ、導電層1と第1層3の上面3Aとの間に所定のサイズのアンダカット部6の形成が確実に行われるようにしたものであり、また、第2の発明では、絶縁層7の所定箇所には耐熱性有し、かつ、エッチング液に溶け難い二酸化ケイ素 SiO_2 より成るバリア層8を形成し、エッチング処理することで導電層1を配設した絶縁層7の上面7Aの溶解がバリア層8に達した時、その溶解の進行が前述のH1方向に進行することになり、導電層1と第1層3の上面3Aとの間に所定のサイズのアンダカット部6の形成が確実に行われるようにしたものである。

【0015】いずれの場合でも、エッチング処理することで形成されるアンダカット部6のH1方向の進行を大きくすることができ、所定のサイズのアンダカット部6の形成が行え、低誘電率絶縁体5によって覆われる面積の拡大により、導電層1に於ける信号伝播速度の高速化を*

*図ることができる。

【0016】

【実施例】以下本発明を図3および図4を参考に詳細に説明する。図3の(a)～(c)は本第1の発明による一実施例の製造工程図、図4の(a)～(c)は本第2の発明による一実施例の製造工程図である。全図を通じて、同一符号は同一対象物を示す。

【0017】第1の発明の場合は、図3の(a)に示すように、導電層1を配設する絶縁層2を、エッチングレイトの高いカプトン系ポリイミド材より成る所定の厚みTの第1の層3と、エッチングレイトの低い低熱膨張のポリイミド材よりなる第2の層4とによって形成し、第1の層3の上面3Aに導電層1が、第2の層4の上面4Aに第1の層3がそれぞれ積層されるようにしたものである。

【0018】そこで、絶縁層2をエッチングを行うことで、図3の(b)に示すように、エッチング液による溶解が第1の層3の厚みTが除去される位置まで達した時は、導電層1と絶縁層2との間には幅H1、深さH2のサイズとなるアンダカット部6の形成が行われる。

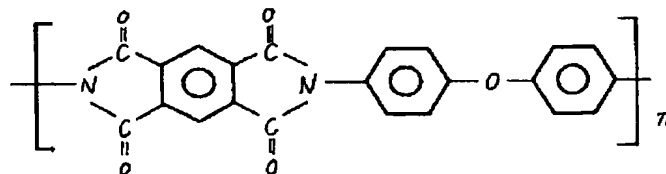
【0019】この場合のアンダカット部6のサイズは幅H1の方向の溶解速度が遅いため、深さH2に比較して小さくなる。しかし、更に、エッチングによる絶縁層2の溶解を進行させると、図3の(c)に示すように、溶解の進行が第1の層3の点線で示す厚みTを超える時は、第2の層4のエッチングレイトに比較して第1の層3のエッチングレイトが高いため、第1の層3の溶解が進行することでアンダカット部6のサイズに於いては、幅H1が増加しH11となる。

【0020】したがって、アンダカット部6の幅をH11になることで、低誘電率絶縁体5によって導電層1を覆う場合、導電層1の周囲を広い範囲で覆うことができ、導電層1に於ける誘電率をより低くすることが行える。

【0021】実際には、第1の層3を形成するカプトン系ポリイミド材としては下記示す化学構造式によって構成されたものを用い。

【0022】

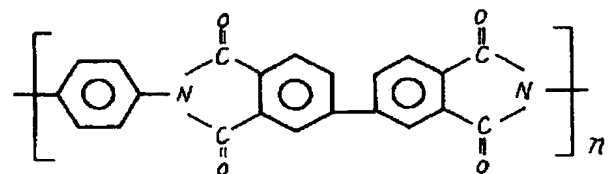
【化1】



第2の層3を形成する低熱膨張のポリイミド材としては下記に示す化学構造式によって構成されたものを用い。

【0023】

【化2】



合液 $N_2H_4 \cdot C_6H_6N_2$ を用いることで良好なアンダカット部6の形成を行うことが確認できた。

【0024】また、第2の発明の場合は、図4の(a)に示すように、導電層1を配設する絶縁層7には約 $1\mu m$ の厚みのエッチング液に溶け難い部材より成るバリア層8を設け、絶縁層7の上面7Aに導電層1を配設し、また、バリア層8は上面7Aから所定距離Sの箇所に位置するようにしたものである。

【0025】そこで、絶縁層7をエッチングを行うことで、図4の(b)に示すように、エッチング液により絶縁層7が溶解され、バリア層8が露出位置まで達した時は、導電層1と絶縁層7との間には幅H1、深さSのサイズとなるアンダカット部6の形成が行われる。

【0026】この場合のアンダカット部6のサイズは幅H1の方向の溶解速度が遅いため、深さSに比較して小さくなる。しかし、更に、エッチングによる絶縁層7の溶解を進行させると、図4の(c)に示すように、バリア層8の上層側の絶縁層7の溶解が進行することでアンダカット部6のサイズが幅H1が増加しH11となり、大きくすることが行える。

【0027】したがって、前述の場合と同様に、低誘電率絶縁層5によって導電層1を覆う場合、導電層1の周囲を広い範囲で覆うことができ、導電層1に於ける誘電率をより低くすることが行える。

20

*

*【0028】また、この場合のバリア層8の材質としては、耐熱性有し、かつ、エッチング液に溶け難く、しかも絶縁材であることが望ましいので、例えば、二酸化ケイ素 SiO_2 によって形成すると良い。

【0029】

【発明の効果】以上説明したように、本発明によれば、エッチング処理することで絶縁層と導電層との間に所定のサイズのアンダカット部の形成を行うことができ、導電層をの周囲を低誘電率絶縁体によって覆う面積の拡大させることができる。

【0030】したがって、導電層に於ける誘電率を低くすることができ、信号伝播速度の高速化が図れ、実用的効果は大である。

【図面の簡単な説明】

【図1】 本第1の発明の原理説明図

【図2】 本第2の発明の原理説明図

【図3】 本第1の発明による一実施例の製造工程図

【図4】 本第2の発明による一実施例の製造工程図

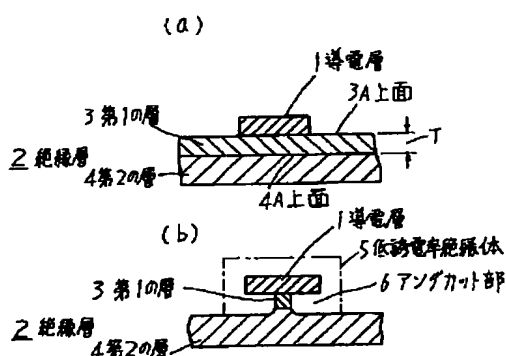
【図5】 従来の説明図

【符号の説明】

1 導電層	2,7 絶縁層
3 第1の層	4 第2の層
5 低誘電率絶縁体	6 アンダカット部
8 バリア層	

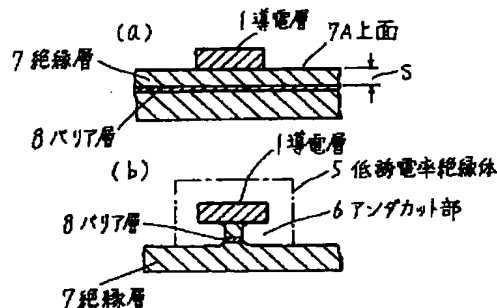
【図1】

本第1の発明の原理説明図



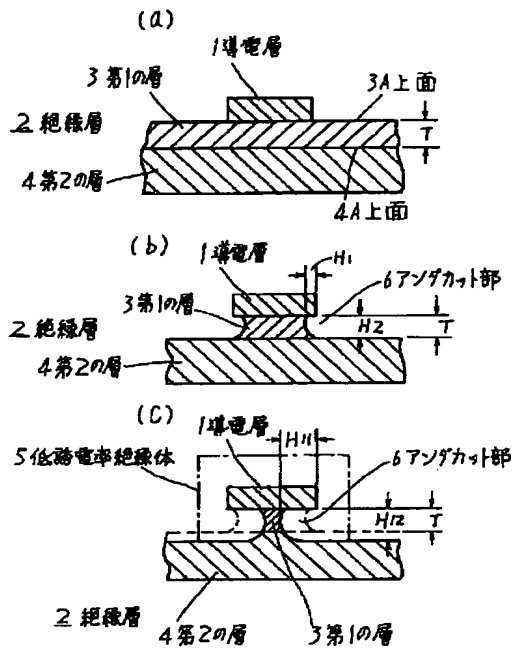
【図2】

本第2の発明の原理説明図



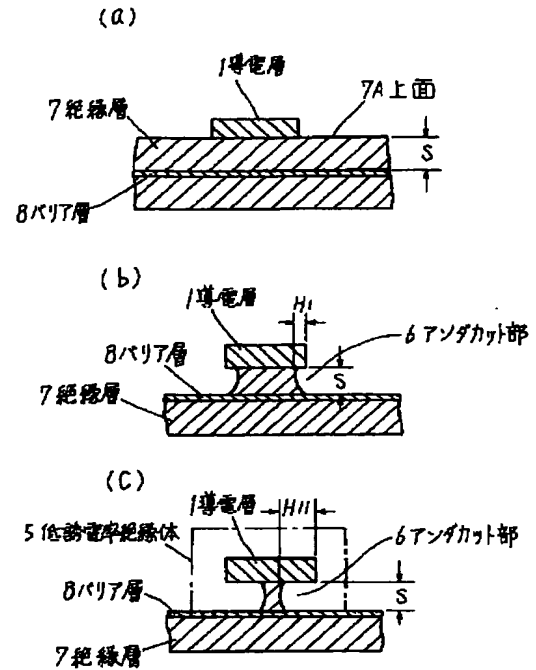
【図3】

本第1の発明による一実施例の製造工程図



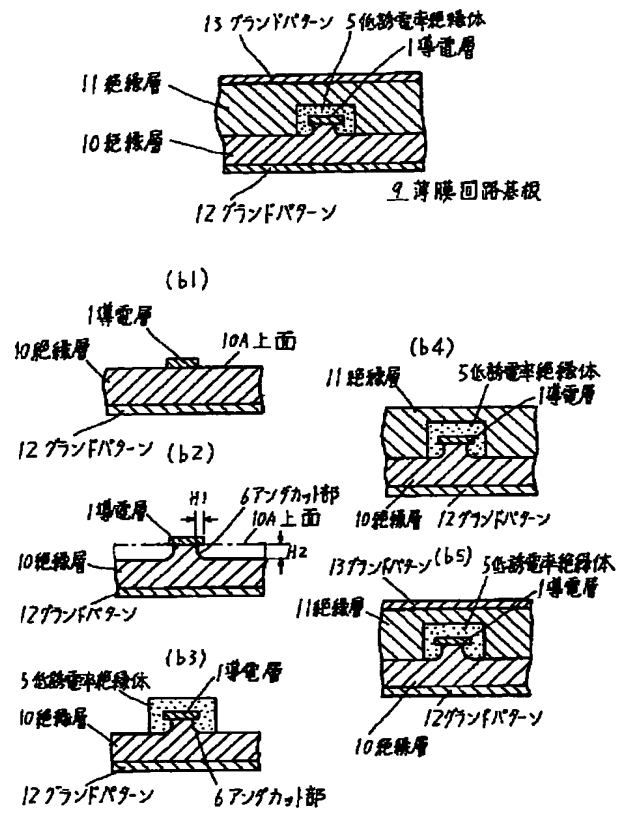
【図4】

本第2の発明による一実施例の製造工程図



【図5】

従来の説明図



NOTICES

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]a conductive layer (1) An insulating layer (2) allocated The 1st layer (3) from which an etching rate differs. The 2nd layer (4) It forms and is this 2nd layer (4). It is this 1st layer (3) to the upper surface (4A). It laminates and is predetermined thickness (T). This 1st formed layer (3) It is this conductive layer (1) to the upper surface (3A). A thin film circuit board laminating.

[Claim 2]Said 1st layer (3) according to claim 1 It is formed of the high Kapton system polyimide material of ECHINGUREITO, and is said 2nd layer (4). A thin film circuit board forming of polyimide material of low low thermal expansion of an etching rate.

[Claim 3]Said insulating layer (2) according to claim 1 They are said conductive layer (1) and this insulating layer (2) by carrying out an etching process. It is this conductive layer (1) in between. It is a lower dielectric constant insulator (5) about the circumference. An undercut part (6) which can be covered A manufacturing method of a forming thin film circuit board.

[Claim 4]A conductive layer (1) An insulating layer (7) allocated by the upper surface (7A) A barrier layer (8) of predetermined thickness which carries out a heat-resistant owner and does not melt into an etching reagent easily It is formed and is this barrier layer (8). This upper surface (7A) to prescribed distance (S) A thin film circuit board by which being located in a becoming part.

[Claim 5]Said barrier layer (8) according to claim 4 A thin film circuit board forming of silica dioxide SiO_2 .

[Claim 6]said this insulating layer (7) according to claim 4 carrying out an etching process -- said conductive layer (1). This insulating layer (7) It is this conductive layer (1) in between. It is a lower dielectric constant insulator (5) about the circumference. An undercut part (6) which can be covered A manufacturing method of a forming thin film circuit board.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the thin film circuit board formed so that it may cover with a lower dielectric constant insulator around the conductive layer allocated in the insulating layer, and its manufacturing method.

[0002]In recent years, making high-speed signal propagation speed of the conductive layer in the circuit board used for these electronic devices with improvement in the speed of electronic devices, such as a mainframe computer, is performed.

[0003]Since the signal propagation speed of the conductive layer in such the circuit board is influenced by the dielectric constant of the insulating layer holding the conductive layer, in order to attain improvement in the speed of signal propagation speed, it is desirable to form an insulating layer with an insulator with a low dielectric constant.

[0004]

[Description of the Prior Art]It was constituted as conventionally shown in the conventional explanatory view of drawing 5. (a) of drawing 5 They are a side sectional view (b1) - (b5) a manufacturing process figure.

[0005](a) of drawing 5 So that it may be shown the thin film circuit board 9, Making the dielectric constant of the conductive layer 1 small as much as possible by being formed by allocating the conductive layer 1 by the thin film which spreads a signal to the insulating layers 10 and 11 formed among the ground patterns 12 and 13, and forming the lower dielectric constant insulator 5 in the periphery of the conductive layer 1 was performed.

[0006]When forming such a thin film circuit board 9, . As shown in (b1) of drawing 5, pattern NINGU of predetermined was carried out at the upper layer 10A of the insulating layer 10 which comprises the polyimide material laminated by point ** and the ground pattern 12. For example, the conductive layer 1 which comprises right conducting materials, such as

aluminum several micrometers thick or copper, is formed, and by carrying out the etching process of the insulating layer 10, as shown in (b2) of drawing 5, the undercut parts 6 of the width H1 and the depth H2 are formed between the upper surfaces 10A of the conductive layer 1 and the insulating layer 10.

[0007]Next, as shown in (b3) of drawing 5, the circumference of the conductive layer 1 is coated with the lower dielectric constant insulators 5, such as Teflon, and as shown in (b4) of drawing 5, the insulating layer 11 of polyimide material performs method lamination of a wrap for the conductive layer 1 to which coating of the lower dielectric constant insulator 5 was performed.

[0008]Finally, as shown in (b5) of drawing 5, formation of the thin film circuit board 9 was performed by forming the ground pattern 13 in the upper surface 11A of the insulating layer 11. Therefore, making the dielectric constant of the conductive layer 1 small as much as possible was performed by covering the circumference of the conductive layer 1 with the lower dielectric constant insulator 5 mostly.

[0009]

[Problem(s) to be Solved by the Invention]However, actually, although the direction of the depth H2 shown in (b2) of drawing 5 can be enlarged by lengthening time of an etching process, the undercut parts 6 which form such an insulating layer 10 by carrying out an etching process between the upper surfaces 10A of the conductive layer 1 and the insulating layer 10, The direction of the width H1 has a limit, and even if it lengthens time of an etching process, it cannot be enlarged.

[0010]Therefore, in only carrying out an etching process, the value of the width H1 became small and it had a problem on which wrap area decreases the conductive layer 1, decline in the dielectric constant of the conductive layer 1 decreases actually, and improvement in the speed of signal propagation speed decreases with the lower dielectric constant insulator 5.

[0011]So, it aims at being made to ensure formation of the undercut part of predetermined size between a conductive layer and an insulating layer in this invention.

[0012]

[Means for Solving the Problem]As drawing 1 is a principle explanatory view of the 1st invention, drawing 2 is a principle explanatory view of the 2nd invention and it is shown in (a) of drawing 1, and (b), The 1st layer 3 that differs the insulating layer 2 in which the conductive layer 1 is allocated in an etching rate, Form by the 2nd layer 4 and this 1st layer 3 is laminated by the upper surface 4A of this 2nd layer 4, This insulating layer 2 by which this conductive layer 1 is laminated by the upper surface 3A of this 1st layer 3 formed in predetermined thickness T by carrying out an etching process This conductive layer 1, So that the undercut part 6 which can cover the circumference of this conductive layer 1 with the lower dielectric constant insulator 5 may be formed between these insulating layers 2, So that said 1st layer 3

may be formed of the high Kapton system polyimide material of an etching rate and said 2nd layer 4 may be formed of polyimide material of low low thermal expansion of this etching rate, Or as shown in (a) of drawing 2, and (b), the conductive layer 1 carries out a heat-resistant owner to the insulating layer 7 allocated by the upper surface 7A, Form the barrier layer 8 which does not melt into an etching reagent easily, locate this barrier layer 8 in a part which serves as the prescribed distance S from this upper surface 7A, and this insulating layer 7 by carrying out an etching process And this conductive layer 1, It constitutes so that the undercut part 6 which can cover the circumference of this conductive layer 1 with the lower dielectric constant insulator 5 may be formed between these insulating layers 7, and so that said barrier layer 8 may be formed of silica dioxide SiO_2 .

[0013]The above-mentioned technical problem is solved by constituting in this way.

[0014]

[Function]Namely, the 1st layer 3 that comprises the high Kapton system polyimide material of an etching rate in the insulating layer 2 in the 1st invention, It forms by the 2nd layer 4 that comprises the polyimide material of the low low thermal expansion of an etching rate, The dissolution of the 1st layer upper surface three 3A which allocated the conductive layer 1 by carrying out an etching process is performed easily, Formation of the undercut parts 6 of predetermined size is made to be ensured between the conductive layer 1 and the 1st layer [three] upper surface 3A, and in the 2nd invention. The barrier layer 8 which comprises silica dioxide SiO_2 which carries out a heat-resistant owner to the prescribed spot of the insulating layer 7, and does not melt into an etching reagent easily is formed, When the dissolution of the upper surface 7A of the insulating layer 7 which allocated the conductive layer 1 by carrying out an etching process reaches the barrier layer 8, Advance of the dissolution will advance in the H1 above-mentioned direction, and formation of the undercut parts 6 of predetermined size is made to be ensured between the conductive layer 1 and the 1st layer [three] upper surface 3A.

[0015]Advance of six Hundercut-parts 1 direction which is formed by carrying out an etching process in any case can be enlarged, The undercut parts 6 of predetermined size can be formed and improvement in the speed of the signal propagation speed in the conductive layer 1 can be attained by expansion of the area covered by the lower dielectric constant insulator 5.

[0016]

[Example]Drawing 3 and drawing 4 are explained to reference for this invention in detail below. (a) of drawing 3 - (c) (a) of the manufacturing process figure of one example by the 1st invention, and drawing 4 - (c) It is a manufacturing process figure of one example by the 2nd invention. Identical codes show the same subject through a complete diagram.

[0017]It is (a) of drawing 3 in the case of the 1st invention. The 1st layer 3 of predetermined

thickness T which comprises the high Kapton system polyimide material of an etching rate in the insulating layer 2 which allocates the conductive layer 1 so that it may be shown, It forms by the 2nd layer 4 that consists of polyimide material of the low low thermal expansion of an etching rate, and the conductive layer 1 is laminated by the upper surface 3A of the 1st layer 3, and the 1st layer 3 is made to laminate by the upper surface 4A of the 2nd layer 4, respectively.

[0018]Then, it is (b) of drawing 3 by etching the insulating layer 2. When the dissolution by an etching reagent reaches to the position from which thickness T of the 1st layer 3 is removed so that it may be shown, between the conductive layer 1 and the insulating layer 2, formation of the undercut parts 6 used as the size of the width H1 and the depth H2 is performed.

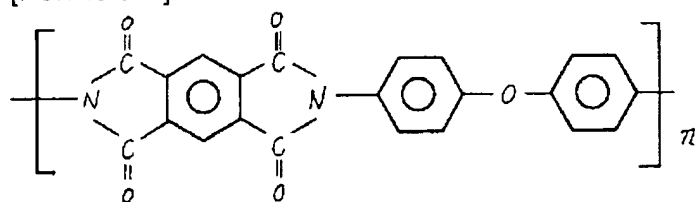
[0019]Since the size of the undercut parts 6 in this case has the slow dissolution rate of the direction of the width H1, it becomes small as compared with the depth H2. However, they are advance **** and (c) of drawing 3 about the dissolution of the insulating layer 2 according to etching further. When advance of the dissolution exceeds thickness T shown by the dotted line of the 1st layer 3 so that it may be shown, Since the etching rate of the 1st layer 3 is high as compared with the etching rate of the 2nd layer 4, in the size of the undercut parts 6, the width H1 increases because the dissolution of the 1st layer 3 advances, and it is set to H11.

[0020]Therefore, the conductive layer 1 can be covered by the lower dielectric constant insulating layer 5 by the width of the undercut parts 6 being set to H11, a wrap case can cover the circumference of the conductive layer 1 in the wide range, and it can perform making lower the dielectric constant in the conductive layer 1.

[0021]the turnip which forms the 1st layer 3 actually -- using what was constituted by the chemical constitution formula which is shown as for the account of lower as ton system polyimide material -- **

[0022]

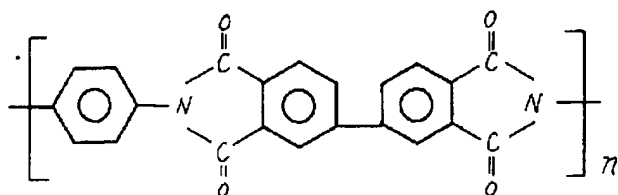
[Formula 1]



As polyimide material of the low thermal expansion which forms the 2nd layer 3, what was constituted by the chemical constitution formula shown below is used, and it is **.

[0023]

[Formula 2]



It has checked forming the good undercut parts 6 by using hydrazine ethylenediamine mixed liquor N_2H_4 and $C_2H_8N_2$ as an etching reagent.

[0024]It is (a) of drawing 4 in the case of the 2nd invention. The barrier layer 8 which grows into the insulating layer 7 which allocates the conductive layer 1 from the member which does not melt into the etching reagent of the thickness of abbreviation 1 μm easily is formed so that it may be shown, The conductive layer 1 is allocated in the upper surface 7A of the insulating layer 7, and it is made for the barrier layer 8 to be located in the part of the prescribed distance S from the upper surface 7A.

[0025]Then, it is (b) of drawing 4 by etching the insulating layer 7. When the insulating layer 7 is dissolved by the etching reagent and the Paglia layer 8 reaches to an exposed position so that it may be shown, between the conductive layer 1 and the insulating layer 7, formation of the undercut parts 6 used as the size of the width H1 and depth S is performed.

[0026]Since the size of the undercut parts 6 in this case has the slow dissolution rate of the direction of the width H1, it becomes small as compared with depth S. However, further, if the dissolution of the insulating layer 7 by etching is advanced, as shown in (c) of drawing 4, it can perform that the width H1 increases because the dissolution of the insulating layer 7 by the side of the upper layer of the barrier layer 8 advances, and the size of the undercut parts 6 is set to H11, and enlarges.

[0027]Therefore, like the above-mentioned case, by the lower dielectric constant insulating layer 5, a wrap case can cover the circumference of the conductive layer 1 for the conductive layer 1 in the wide range, and it can perform making lower the dielectric constant in the conductive layer 1.

[0028]A heat-resistant owner is carried out and it is hard to melt into an etching reagent as construction material of the barrier layer 8 in this case, and since it is desirable that it is moreover an insulation material, it is good to form by silica dioxide SiO_2 for example.

[0029]

[Effect of the Invention]According to this invention, the undercut parts of predetermined size can be formed between an insulating layer and a conductive layer by carrying out EKKUNGU processing, and wrap area can make the circumference of ***** expand with a lower dielectric constant insulator, as explained above.

[0030]Therefore, the dielectric constant in a conductive layer can be made low, improvement in the speed of signal propagation speed can be attained, and a practical effect is size.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The principle explanatory view of the 1st invention

[Drawing 2]The principle explanatory view of the 2nd invention

[Drawing 3]The manufacturing process figure of one example by the 1st invention

[Drawing 4]The manufacturing process figure of one example by the 2nd invention

[Drawing 5]The conventional explanatory view

[Description of Notations]

1 Conductive layer 2 and 7 Insulating layer

3 The 1st layer Four The 2nd layer

5 Lower dielectric constant insulator 6 undercut parts

8 Barrier layer

[Translation done.]

* NOTICES *

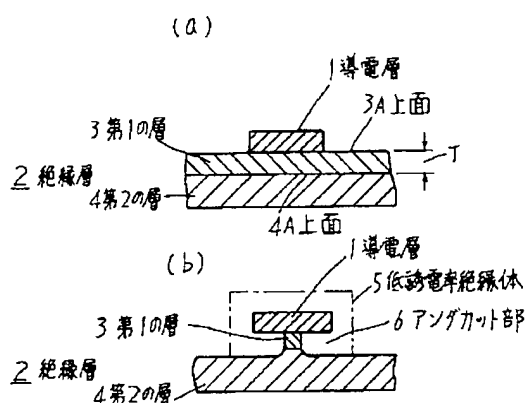
JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

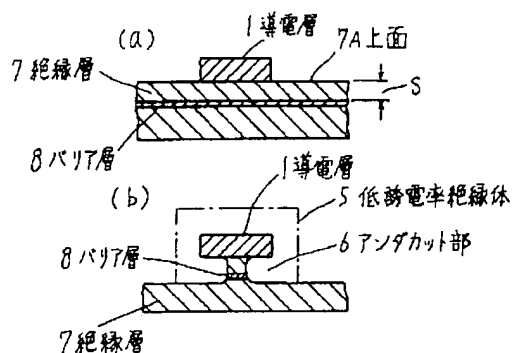
[Drawing 1]

本第1の発明の原理説明図



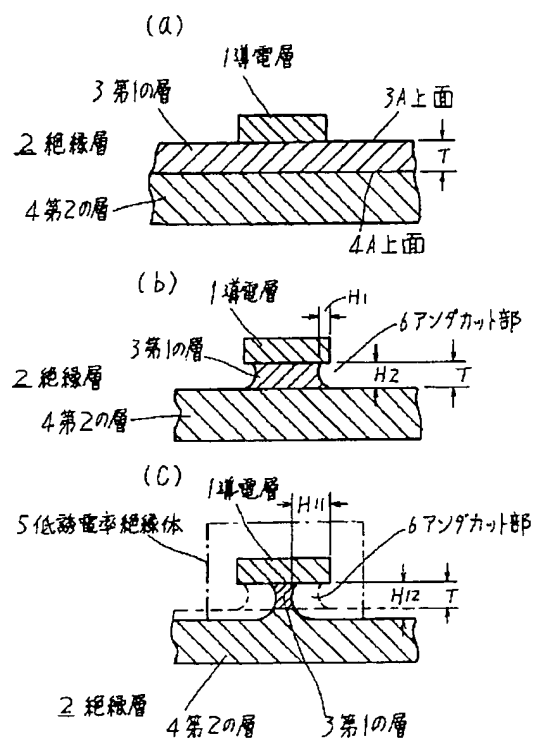
[Drawing 2]

本第2の発明の原理説明図



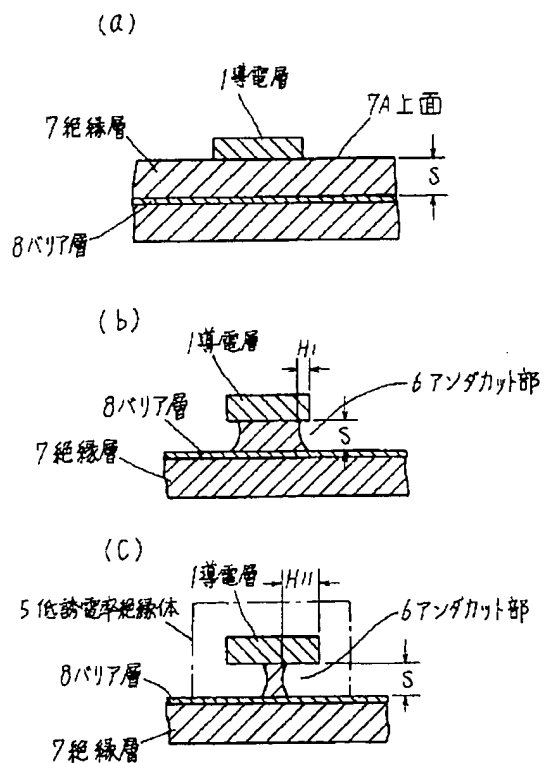
[Drawing 3]

本第1の発明による一実施例の製造工程図



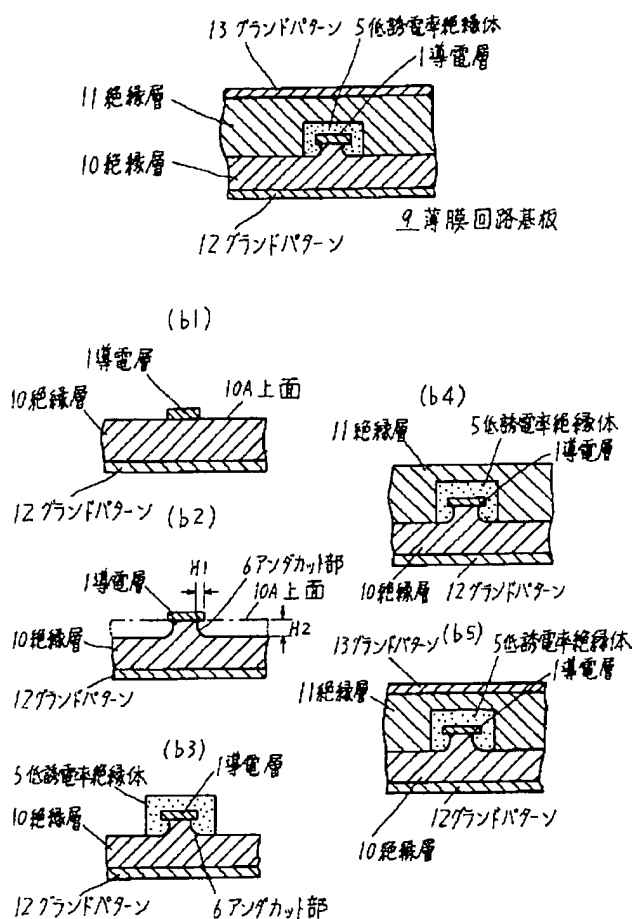
[Drawing 4]

本第2の発明による一実施例の製造工程図



[Drawing 5]

従来の説明図



[Translation done.]